

## Phase locked loop circuit arrangement for frequency multiplication in video or television applications

Patent Number: DE19830130  
Publication date: 2000-01-13  
Inventor(s): LAUER HANS-ULRICH (DE); WEYHERSMUELLER UDO (DE)  
Applicant(s): BOSCH GMBH ROBERT (DE)  
Requested Patent: DE19830130  
Application Number: DE19981030130 19980706  
Priority Number(s): DE19981030130 19980706  
IPC Classification: H03L7/08; H03H17/02  
EC Classification: H03L7/14, H03L7/08E, H03L7/199  
Equivalents:

---

### Abstract

---

The circuit includes a digital filter which provides the input signal and a reference signal from the oscillator output, and provides the pilot signal pulses. A digital filter (6) receives an input pilot signal, to provide an output signal (200) and a reference signal (201). These are both rectangular shaped signals and are supplied to phase detector (4). There is a voltage-controlled oscillator (5) adjustable in a predetermined target range, from whose output signal (501) the reference signal is derived through a logic circuit (2). The logic circuit includes the digital filter (6) which provides the input signal and the reference signal for the phase detector from the output signal of the oscillator and a pulse-shaped pilot signal (100). The filter is formed such that if the pilot signal has a too high pulse sequence, which leads to an overstepping of the upper boundary of the target range of the oscillator, the input signal is generated from the pilot signal through periodical suppression of the pilot signal.

---

Data supplied from the esp@cenet database - I2

**This Page Blank (uspto)**

---

00P 14738



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ Offenlegungsschrift  
⑩ DE 198 30 130 A 1

⑤ Int. Cl. 7:  
H 03 L 7/08  
H 03 H 17/02

⑳ Aktenzeichen: 198 30 130.8  
㉑ Anmeldetag: 6. 7. 1998  
㉒ Offenlegungstag: 13. 1. 2000

DE 198 30 130 A 1

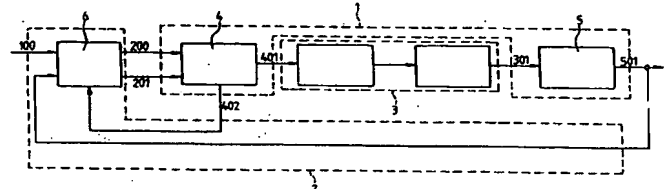
⑦1 Anmelder:  
Robert Bosch GmbH, 70469 Stuttgart, DE

⑦2 Erfinder:  
Lauer, Hans-Ulrich, Dr., 70565 Stuttgart, DE;  
Weyhersmüller, Udo, 75038 Oberderdingen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤4 Schaltungsanordnung für eine PLL-Schaltung (Phase-locked-Loop) zur Frequenzvervielfachung

⑤7 Es wird eine Schaltungsanordnung für eine PLL-Schaltung zur Frequenzvervielfachung mit einem Phasendetektor (4) und einem nachgeschalteten Oszillator (5) vorgeschlagen. Am Phasendetektor liegen ein pulsförmiges Eingangssignal und ein ebenfalls pulsförmiges Referenzsignal an. Das Ausgangssignal (501) des Oszillators (5) wird dazu benutzt, das Referenzsignal (501) über einen Logikbaustein (2) zu generieren. Erfindungsgemäß umfaßt der Logikbaustein (2) ein digitales Filter (6), das das Eingangssignal (200) sowie das Referenzsignal (201) für den Phasendetektor bereitstellt. Bei einer ersten erfindungsgemäßen Lösung ist das Filter (6) dazu ausgelegt, bei einem Führungssignal (100) mit einer zu hohen Pulsfolge das Eingangssignal (200) aus dem Führungssignal (100) durch periodisches Unterdrücken des Führungssignals (100) zu generieren. Bei einer weiteren Lösung ist das Filter so ausgestaltet, daß bei einem Führungssignal (100), bei dem in der Pulsfolge des Signals wenigstens ein Puls fehlt, das Eingangssignal (200) durch Einfügen des fehlenden Impulses gebildet wird. Bei einer dritten erfindungsgemäßen Lösung ist der Filter für ein sofortiges Einrasten der PLL dazu ausgelegt, daß bei einem Wiedereinsetzen des Führungssignals (100) nach einer Störung in Abhängigkeit vom Zustand des Phasendetektors ein Ausgleichsimpuls in das Referenzsignal oder Eingangssignal eingefügt wird.



DE 198 30 130 A 1

## Beschreibung

Die Erfindung betrifft eine Schaltungsanordnung für eine PLL-Schaltung (Phase-locked-Loop) zur Frequenzvervielfachung nach dem Oberbegriff des Anspruchs 1.

## Stand der Technik

Eine besonders häufige Anwendung eines Phasenregel-Schaltkreises (Phase-locked-Loop = PLL) ist die Frequenzvervielfachung. Bei käuflichen integrierten PLL-Schaltkreisen für eine Frequenzvervielfachung können Störungen am Führungssignal-Eingang, wie z. B. Prellen oder Aussetzen des Führungsimpulses, zum "Ausrasten" der PLL führen. Ist danach das Führungssignal wieder regulär, setzt der Einrastvorgang – je nach Lage des Führungssignals und eines rückgekoppelten Referenzsignals zueinander – erst verzögert wieder ein.

In Fig. 6 ist ein herkömmlicher PLL-Schaltkreis in einem schematischen Blockschaltbild dargestellt. Die Schaltungsanordnung besteht aus einem PLL-Baustein 1, einem programmierbaren Logikbaustein 2 sowie einer Anordnung von diskreten Bauelementen 3. Der PLL-Baustein 1 umfaßt einen Phasendetektor 4 sowie einen spannungsgesteuerten Oszillator (Voltage Controlled Oscillator = VCO) 5. Das Signal des Phasendetektors 4 wird mit Hilfe der diskreten Bauelemente 3 in ein für den VCO geeignetes Signal umgewandelt. Das Ausgangssignal 501 des VCOs wird dem programmierbaren Logikbaustein 2 zugeführt, der im Wesentlichen entsprechend der Frequenzvervielfachung einen Frequenzteiler 6 enthält, um daraus ein Referenzsignal 201 zu erzeugen. Das Referenzsignal 201 wird zur Frequenzregelung negativ auf den Eingang des Phasendetektors, an welchem das Führungssignal 100 anliegt, gekoppelt. In Fig. 7 sind beispielhaft die zeitlichen Signalverläufe des Referenzsignals 201 und des VCO-Regelsignals 301 bei Ausbleiben und Wiedereinsetzen des Führungssignals 100 für eine Schaltungsanordnung nach Fig. 6 dargestellt. Liegt das Führungssignal 100 zeitlich nach dem Referenzsignal 201 am PLL-Baustein 1 an, beginnt der Einrastvorgang (Einregelvorgang hinsichtlich der Phasenlage) sofort. Liegt dagegen wie in Fig. 7 das Führungssignal zeitlich vor dem Referenzsignal am PLL-Baustein 1 an, so beginnt der Einrastvorgang in nachteiliger Weise erst zu dem Zeitpunkt 602, an dem seit dem Wiedereinsetzen des Führungssignals (Zeitpunkt 601) das Referenzsignal 201 das Führungssignal 100 "unterlaufen" hat. Erst dann beginnt der Einregelvorgang des VCO 5, wie am Verlauf der Steuerspannung 301 in Fig. 7 ersichtlich ist.

## Aufgabe und Vorteile der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung für eine PLL-Schaltung zur Frequenzvervielfachung bereitzustellen, die ein verbessertes Verhalten beim Auftreten von Störungen im Führungssignal aufweist.

Diese Aufgabe wird durch die Merkmale der unabhängigen Ansprüche 1, 4 und 6 gelöst. In den Unteransprüchen sind vorteilhafte und zweckmäßige Weiterbildungen der erfindungsgemäßen Schaltungsanordnung angegeben.

Die Erfindung geht von einer Schaltungsanordnung für eine PLL-Schaltung (Phase-locked-Loop) aus, die aus einem Phasendetektor, an welchem ein pulsförmiges Eingangssignal und ein ebenfalls pulsförmiges Referenzsignal anliegt und aus einem nachgeschalteten spannungsgesteuerten, in einem vorgegebenen Ziehbereich einstellbaren Oszillator (VCO) besteht, aus dessen Ausgangssignal über einen Logikbaustein das Referenzsignal abgeleitet wird. Der

Kerngedanke der Erfindung liegt nun darin, daß der Logikbaustein ein digitales Filter umfaßt, das aus dem Ausgangssignal des Oszillators und einem pulsförmigen Führungssignal, das herkömmlicherweise direkt als Eingangssignal am Phasendetektor anliegt, das Eingangssignal sowie das Referenzsignal für den Phasendetektor bereitstellt. Dabei ist das Filter bei einer ersten Lösungsmöglichkeit derart ausgelegt, daß bei einem Führungssignal mit einer zu hohen Pulsfolge, welche als Eingangssignal am Phasendetektor zur Überschreitung der oberen Grenze des Ziehbereichs des Oszillators führen würde, das Eingangssignal aus dem Führungssignal durch periodisches Unterdrücken des Führungssignals generiert wird. Auf diese Weise wird bei Pulsfolgen, die die doppelte Frequenz haben, erreicht, daß kein "Ausrasten" der PLL-Schaltung auftritt. Derartige Signalsequenzen sind z. B. in "Composit-Sync"-Signalen (Video/TV-Technik) enthalten.

Bei einer weiteren ggf. zusätzlichen Lösungsmöglichkeit ist das Filter so ausgestaltet, daß bei einem Führungssignal, bei dem in der Pulsfolge des Signals wenigstens ein Puls fehlt, das Eingangssignal durch Einfügen des fehlenden Pulses außerhalb der unteren Ziehgrenze des Oszillators in die Signalsequenz gebildet wird. Durch die Maßnahme wird erreicht, daß durch einmalige Störungen die PLL noch nicht "ausrastet". Durch das Einfügen eines Pulses außerhalb der unteren Ziehgrenze des Oszillators wird sichergestellt, daß der Ziehbereich der PLL um eine Mittenfrequenz zunächst voll ausgeschöpft wird, d. h. das Eintreffen eines Führungsimpulses im Ziehbereich noch abgewartet wird, bevor der Einfügevorgang stattfindet.

Bei einer dritten erfindungsgemäßen Lösung ist das Filter dergestalt, daß bei einem Wiedereinsetzen des Führungssignals nach einer Störung – in Abhängigkeit vom Zustand des Phasendetektors – ein zusätzlicher Ausgleichsimpuls in das Eingangssignal oder das Referenzsignal zum Ausgleich des Phasendetektors eingefügt wird. Auf diese Weise wird bei wiedereinsetzenden Führungsimpulsen ein sofortiges Wiedereinrasten des PLL-Schaltkreises ermöglicht. Denn durch das eventuelle Einfügen eines Ausgleichsimpulses wird sichergestellt, daß der Phasendetektor "ausgeglichen" ist, also die Frequenz weder erhöhen noch erniedrigen möchte und damit vor Beginn des Einrastvorgangs, wie oben beschrieben, z. B. das Referenzsignal nicht zuerst das Eingangssignal "unterlaufen" muß. Vielmehr kann der Phaseneinregelvorgang nach der Generierung des Eingangssignals am Phasendetektor unmittelbar beginnen.

Bei einer besonders vorteilhaften Ausführungsform der Erfindung ist zur Feststellung des Zustandes des Phasendetektors ("ausgeglichen", "Frequenz erhöhen", "Frequenz erniedrigen") der Phasendetektor im digitalen Filter nachgebildet. Dies ist insbesondere dann von Vorteil, wenn der eigentliche Phasendetektor in der PLL-Schaltung lediglich ein binäres Zustandssignal ("ausgeglichen", z. B. logisch "1" und "Frequenz erhöhen oder erniedrigen", z. B. logisch "0") zur Verfügung stellt oder gar keine Statusanzeige besitzt und auf diese Weise erst das richtige Setzen eines Ausgleichsimpulses im Referenz- oder Eingangssignal möglich wird. In diesem Zusammenhang ist es darüber hinaus besonders günstig, wenn der nachgebildete Phasendetektor im digitalen Filter durch das dem Filter zugeführte binäre Zustandssignal vom Phasendetektor der PLL-Schaltung – sofern vorhanden – ständig nachgeführt wird, um ein Ausßertriften des nachgebildeten Phasendetektors zu vermeiden.

In einer besonders vorteilhaften Ausgestaltung der Erfindung umfaßt das digitale Filter einen ersten Zähler, welcher "modulo  $N_{\text{Ref}}$ " zählt, wobei  $N_{\text{Ref}}$  dem Faktor der Frequenzvervielfachung der PLL-Schaltung entspricht und einen zweiten Zähler, welcher "modulo  $N_{\text{PLL}}$ " zählt, wobei  $N_{\text{PLL}}$

im Normalbetrieb  $N_{Ref}$  entspricht, jedoch bis maximal  $N_{Ref} \cdot (1+b)$  mit  $b \leq 0,25$  zählt. Dabei werden beide Zähler vom Ausgangssignal des Oszillators getaktet und sind durch einen Führungsimpuls auf 0 zurücksetzbar und das Filter ist bei einem eingetroffenen Führungssignal zum Setzen des zweiten Zählers auf 0 und gleichzeitig zum Setzen des Eingangssignals beim Zählerstand 0 sowie zum Rücksetzen beim Zählerstand  $N_{PLL} = a \cdot N_{Ref}$  mit  $0 < a < 1-b$  ausgelegt.

In diesem Zusammenhang ist es außerdem vorteilhaft, wenn das Filter zum Setzen des Referenzsignals bei einem Zählerstand des ersten Zählers von  $0 \cdot N_{Ref}$  sowie zum Rücksetzen des Referenzsignals bei  $a \cdot N_{Ref}$  unabhängig vom Eintreffen eines Führungssignals ausgelegt ist.

Die verschiedenen erfindungsgemäßen Lösungsmöglichkeiten können auf dieser Grundlage wie folgt weitergebildet werden:

Um Führungssignale mit einer zu hohen Frequenz auszufiltern, ist es günstig, durch das Filter eine Unterdrückung von weiteren Führungssignalen im Bereich des Zählerstands des zweiten Zählers von  $N_{PLL} = 0$  bis  $N_{PLL} = (1-b) \cdot N_{Ref}$  durchzuführen.

Für das Einfügen von fehlenden Impulsen ist es darüber hinaus vorteilhaft, wenn das digitale Filter zum Setzen des Eingangssignals bei einem Zählerstand des zweiten Zählers von  $N_{PLL} = (1+b) \cdot N_{Ref}$  ausgelegt ist, sofern zwischen  $N_{PLL} = (1-b) \cdot N_{Ref}$  und  $(1+b) \cdot N_{Ref}$  kein Führungsimpuls eingetroffen ist.

Außerdem ist es besonders günstig, wenn die Nachführung des nachgebildeten Phasendetektors bei einem Zählerstand des zweiten Zählers von  $X$  mit  $0 < X < a \cdot N_{Ref}$  durch das digitale Filter stattfindet, sofern das binäre Zustandssignal einen ausgeglichenen Zustand des Phasendetektors anzeigt, z. B. logisch "1" ist und das Referenzsignal gesetzt ist.

### Zeichnungen

Mehrere Ausführungsbeispiele sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung unter Angabe weiterer Vorteile und Einzelheiten näher erläutert. Es zeigen

**Fig. 1** eine erfindungsgemäße Schaltungsanordnung für eine PLL-Schaltung zur Frequenzvervielfachung mit digitalem Vorfilter in Form eines schematischen Blockschaltbildes,

**Fig. 2** die zeitlichen Signalverläufe verschiedener Signale bei der Unterdrückung von zu häufigen Führungsimpulsen für die Schaltungsanordnung nach Fig. 1,

**Fig. 3** ein erfindungsgemäßes, detailliertes Blockschaltbild des digitalen Vorfilters für eine Schaltungsanordnung nach Fig. 1,

**Fig. 4** die zeitlichen Signalverläufe verschiedener Signale für einen Einrastvorgang beim Einfügen eines Ausgleichsimpulses in eine Eingangssignalsequenz für eine Schaltungsanordnung nach Fig. 1,

**Fig. 5** eine vergrößerte Darstellung der Signalverläufe nach Fig. 4 zur Verdeutlichung des Ausgleichsimpulses,

**Fig. 6** eine herkömmliche Schaltungsanordnung für eine PLL-Schaltung zur Frequenzvervielfachung und

**Fig. 7** die zeitlichen Signalverläufe verschiedener Signale für eine Schaltungsanordnung nach Fig. 6 zur Verdeutlichung des herkömmlichen Einrastverhaltens.

### Beschreibung der Ausführungsbeispiele

Ausgangspunkt der Beschreibung ist, wie bereits in der Beschreibungseinleitung erwähnt, eine herkömmliche Schaltungsanordnung für eine PLL-Schaltung zur Frequenzvervielfachung gemäß Fig. 6. Die Schaltungsan-

nung besteht aus einem PLL-Baustein 1, einem programmierbaren Logikbaustein 2 und schematisch dargestellten diskreten Bauelementen 3. Der PLL-Baustein 1 umfaßt einen Phasendetektor 4 sowie einen spannungsgesteuerten Oszillator (Voltage Controlled Oscillator = VCO). Die diskreten Bauelemente generieren aus dem Ausgangssignal 401 des Phasendetektors 4 ein Steuersignal 301 für den spannungsgesteuerten Oszillator 5. Das Ausgangssignal 501 des Oszillators wird dem programmierbaren Logikbaustein 2, der im Wesentlichen aus einem Frequenzteiler 6 besteht, zugeführt, um daraus ein Referenzsignal 201 zu erzeugen. Das Referenzsignal 201 ist zur Frequenz- und Phasenregelung negativ auf den Eingang des Phasendetektors 4 gekoppelt, an welchem das eine Führungssignal 100 anliegt. Sofern zwischen den Signalen 100 und 201 ein Frequenz- und Phasenunterschied besteht, wird dieser vom VCO 5 ausgeglichen, so daß die aktuelle Arbeitsfrequenz sich innerhalb eines Ziehbereichs um eine Mittenfrequenz bewegt.

In Fig. 7 sind die zeitlichen Signalverläufe des Führungssignals 100, des Referenzsignals 201 sowie des Steuersignals 301 am Eingang des VCO 5 für den Fall dargestellt, daß an einer Schaltung gemäß Fig. 6 das Führungssignal 100 nach einem Aussetzen zum Zeitpunkt 601 wieder einsetzt. Liegt das Führungssignal am Phasendetektor 4 zeitlich nach dem Referenzsignal an, beginnt der Einrastvorgang (Phaseneinregelvorgang) sofort. Liegt dagegen, wie in Fig. 7, das Führungssignal vor dem Referenzsignal an der PLL-Schaltung an, so beginnt der Einrastvorgang erst zu dem Zeitpunkt 602, ab welchem das Referenzsignal das Führungssignal "unterlaufen" hat (vgl. Fig. 7). Auf den Einrastvorgang folgt schließlich der Phasenausregelvorgang.

Um unter anderem ein besseres Einrastverhalten der PLL-Schaltung zu gewährleisten, wird eine erfindungsgemäße Schaltungsanordnung für eine PLL-Schaltung gemäß Fig. 1 eingesetzt. Im Unterschied zu Fig. 6 umfaßt der Logikbaustein 2 ein digitales Filter 6, das aus dem Ausgangssignal 501 des Oszillators 5 und dem Führungssignal 100 ein Eingangssignal 200 sowie das Referenzsignal 201 für den Phasendetektor bereitstellt. Das Filter 6 ist zunächst derart ausgelegt, daß bei einem Führungssignal 100 mit einer zu hohen Pulsfolge das Eingangssignal 200 aus dem Führungssignal durch periodisches Unterdrücken des Führungssignals generiert wird. Dies soll durch Fig. 2 verdeutlicht werden, in welcher jede zweite abfallende Flanke des Führungssignals unterdrückt wird.

Ein detailliertes Blockschaltbild des digitalen Vorfilters mit einem PLL-Schaltkreis 1, 3 ist in Fig. 3 abgebildet. Die vom Vorfilter 6 ausgegebenen Signale, Eingangssignal 200 sowie Referenzsignal 201, werden in je einem Flipflop 7, 8 erzeugt, die geeignet angesteuert werden. Hierzu wird das von der PLL-Schaltung 1, 3 erzeugte Ausgangssignal 501 (Clock-Signal) auf zwei Zähler rückgeführt, den PLL-Zähler 9 und den Referenzzähler 10. Ein eintreffender Führungsimpuls im Führungssignal 100 setzt über die Reset-Bausteine 11, 12 sowohl den PLL-Zähler 9 als auch den Referenzzähler zurück, diesen jedoch nur, sofern das Führungssignal ausgeblieben ist.

Das Referenzsignal 201 wird vom Referenzzähler abgeleitet. Der Referenzzähler zählt "modulo  $N_{Ref}$ ", wobei im Normalbetrieb  $N_{Ref} = N_{PLL}$  ist. Der Zahlenwert  $N_{Ref}$  entspricht dabei dem Faktor der Frequenzvervielfachung. Das Referenzsignal wird immer bei  $0 \cdot N_{Ref}$  gesetzt und bei  $0,25 \cdot N_{Ref}$  rückgesetzt. Bei jedem Führungsimpuls (hier abfallende Flanke des Führungsimpulses) wird jedoch der Referenzzähler auf Null rückgesetzt, sofern das Führungssignal ausgesetzt hat. Damit werden Eingangs- und Referenzsignal beim Wiedereinsetzen eines Führungsimpulses gleichzeitig ohne Phasendifferenz gesetzt (vgl. hierzu Mar-

kierung b in Fig. 4, bei der die abfallende Flanke des wieder-einsetzenden Führungssignals 100 gleichzeitig einen Impuls im Eingangs- und Referenzsignal auslöst).

Der PLL-Zähler zählt im Normalbetrieb "modulo  $N_{PLL}$ ". Das Eingangssignal 200 wird bei  $N_{PLL} = 0$  gesetzt und bei  $N_{PLL} = 0,25 \cdot N_{Ref}$  zurückgesetzt. Weitere Führungsimpulse, die in diesem Zeitraum eintreffen (z. B. durch Pellen), und ebenso Führungsimpulse, die zwischen  $N_{PLL} = 0,25 \cdot N_{Ref}$  und  $N_{PLL} = 0,75 \cdot N_{Ref}$  eintreffen, werden unterdrückt. Danach wird der nächste eintreffende Führungsimpuls wieder akzeptiert. Ist bis  $N_{PLL} = 1,25 \cdot N_{Ref}$  noch kein Führungsimpuls eingetroffen, wird automatisch einer generiert (vgl. hierzu Fig. 4 Markierung a). Auf diese Weise können neben der Pulsunterdrückung außerdem einmalige Aussetzer im Führungssignal 100 ausgeglichen werden.

Um bei wieder-einsetzenden Führungsimpulsen neben der Pulsunterdrückung und -einfügung, ein sofortiges Wieder-einrasten des PLL-Schaltkreises 1, 3 zu ermöglichen, wird dessen integrierter Phasendetektor 4 definiert rückgesetzt. Da es sich bei dem Phasendetektor um einen frequenzsensitiven Phasendetektor handelt, kann dies gegebenenfalls durch einen Ausgleichsimpuls entweder im Eingangssignal 200 oder im Referenzsignal 201 erfolgen.

Der Phasendetektor 4 des PLL-Schaltkreises 1, 3 kann drei Zustände annehmen ("ausgeglichen", "frequenzerhöhend", "frequenzerniedrigend"), jedoch lediglich zwei Zustände als binäres Signal 402 anzeigen. Beispielsweise bedeutet logisch "1", "ausgeglichen" und logisch "0", daß die Frequenz gerade entweder nach oben oder nach unten geregelt wird. Zur Berechnung und richtigen Positionierung des Ausgleichsimpulses müssen jedoch alle drei Zustände im digitalen Vorfilter bekannt sein. Daher wird der Phasendetektor im Logikbaustein 2 nachgebildet. Um eine Zustandsabweichung des nachgebildeten Phasendetektors 13 vom Phasendetektor 4 zu vermeiden, wird dieser regelmäßig nachgeführt. Die Nachführung wird z. B. beim PLL-Zählerstand  $0,125 \cdot N_{PLL}$ , bei dem keine anderen Aktionen anstehen (Unterdrückungszeitraum vom Eingangssignal 200) vorgenommen und sofern zusätzlich noch folgende Bedingungen erfüllt sind:

1. Der Phasendetektor 4 des PLL-Bausteins 1, 3 muß ausgeglichen sein,
2. das Referenzsignal 201 ist gesetzt.

Die Erzeugung von Ausgleichsimpulsen ist vom Zustand des nachgeführten Phasendetektors 13 abhängig. Signale 141, 142 zum Setzen eines Ausgleichsimpulses werden von einem Baustein 14 an den asynchronen Setz- und Rücksetzeingängen der Flipflops 7, 8 nur generiert, wenn z. B. nach einem Wiedereintreffen des Führungssignals, das ein gleichzeitiges Setzen von Eingangs- und Referenzsignal zur Folge hat, der nachgebildete Phasendetektor 13 nicht ausgeglichen ist. Dies ist beispielsweise der Fall, wenn das Führungssignal längere Zeit ausgeblieben ist. Dann wird nach jeweils  $1,25 \cdot N_{PLL}$  ein Eingangsimpuls erzeugt, der dazu führt, daß der Oszillator mit seiner Arbeitsfrequenz am unteren Ziehbereich arbeitet, da das Referenzsignal den Pulsabstand des Eingangssignals nicht erreicht. In dieser Situation befindet sich der Phasendetektor im Zustand "Frequenz erniedrigen". Der nachgebildete Phasendetektor 13 überträgt ein entsprechendes Signal über die Steuerleitungen 131 und 132 an einen Logikbaustein 14, der beim Wiedereinsetzen des Führungssignals in das Eingangssignal einen Ausgleichsimpuls einfügt, so daß der Phasendetektor in den Zustand "ausgeglichen" übergeht. Aufgrund der gleichzeitig gesetzten Impulse im Eingangs- und Referenzsignal (vgl. Markierung b in Fig. 4) ist die PLL-Schaltung sofort eingerastet und be-

ginnt wie am Signal 301 ersichtlich (Fig. 4) mit der Phasenregelung.

Ein Ausgleichsimpuls kann die Dauer eines PLL-Taktes (Signaltakt 501) annehmen und entsteht durch asynchrones Setzen (Signale 141, 142) und anschließendes Rücksetzen der Flipflops 7, 8. Die Durchlaufzeit des Vorfilters (Eintreffen des Führungsimpulses, Setzen des Eingangsimpulses) ist dadurch auf eine Gatterlaufzeit minimiert.

Das Timing für das Wiedereinsetzen des Führungsimpulses soll nochmals an Fig. 4 verdeutlicht werden. Vor dem Wiedereinsetzen des Führungssignals 100 hat das Eingangssignal 200 eine Periodizität von  $1,25 \cdot N_{Ref}$  (vgl. Fig. 6, Markierung a). Bei der ersten aktiven Flanke (hier: fallende Flanke) des Führungssignals 100 wird ein Ausgleichsimpuls (Bild 7, Markierung e) für das entsprechende Signal (hier: Eingangssignal 200) eingefügt. Der Laufzeitunterschied zwischen dem nächsten Eingangssignalimpuls (Bild 6, Markierung c) und dem Referenzsignalimpuls (Bild 6, Markierung d) entspricht dem Frequenz- bzw. Phasunterschied beider Signale, der anschließend von der PLL-Schaltung 1, 3 ausgeglichen wird (Bild 7 zeigt den Ausgleichsimpuls in vergrößerter Zeitbasis).

#### Patentansprüche

1. Schaltungsanordnung für eine PLL-Schaltung zur Frequenzvervielfachung mit einem Phasendetektor (4), an welchem ein pulsförmiges Eingangssignal (100, 200) und ein ebenfalls pulsförmiges Referenzsignal (201) anliegt, und einem nachgeschalteten spannungsgesteuerten, in einem vorgegebenen Ziehbereich einstellbaren Oszillator (5), aus dessen Ausgangssignal (501) über einen Logikbaustein (2) das Referenzsignal (201) abgeleitet wird, **dadurch gekennzeichnet**, daß der Logikbaustein ein digitales Filter (6) umfaßt, das aus dem Ausgangssignal (501) des Oszillators (5) und einem pulsförmigen Führungssignal (100) das Eingangssignal (200) sowie das Referenzsignal (201) für den Phasendetektor (4) bereitstellt, wobei das Filter (6) derart ausgelegt ist, daß bei einem Führungssignal (100) mit einer zu hohen Pulsfolge, welche als Eingangssignal am Phasendetektor (4) zur Überschreitung der oberen Grenze des Ziehbereichs des Oszillators führt, das Eingangssignal (200) aus dem Führungssignal (100) durch periodisches Unterdrücken des Führungssignals (100) generiert wird.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß das digitale Filter (6) einen ersten Zähler (10) umfaßt, welcher "modulo  $N_{Ref}$ " zählt, wobei  $N_{Ref}$  dem Faktor der Frequenzvervielfachung der PLL-Schaltung entspricht, daß das digitale Filter einen zweiten Zähler (9) umfaßt, welcher "modulo  $N_{PLL}$ " zählt, wobei  $N_{PLL}$  im Normalbetrieb  $N_{Ref}$  entspricht, jedoch bis maximal  $N_{Ref} \cdot (1+b)$  mit  $b \leq 0,25$  zählt, daß beide Zähler (9, 10) vom Ausgangssignal (501) des Oszillators (5) getaktet werden und durch einen Führungsimpuls auf Null zurücksetzbar sind, und daß das Filter bei einem eingetroffenen Führungssignal zum Setzen des zweiten Zählers (9) auf 0 und gleichzeitig zum Setzen des Eingangssignals (200) beim Zählerstand 0 sowie zum Rücksetzen beim Zählerstand  $N_{PLL} = a \cdot N_{Ref}$  mit  $0 < a < 1-b$  und zur Unterdrückung von weiteren Führungsimpulsen im Bereich von  $N_{PLL} = 0$  bis  $N_{PLL} = (1-b) \cdot N_{Ref}$  ausgelegt ist.

3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß das Filter zum Setzen des Referenzsignals (201) bei einem Zählerstand des ersten Zählers von  $0 \cdot N_{Ref}$  sowie zum Rücksetzen des Referenz-

renzungssignals bei  $a \cdot N_{\text{Ref}}$  unabhängig vom Eintreffen eines Führungssignals (100) ausgelegt ist.

4. Schaltungsanordnung für eine PLL-Schaltung zur Frequenzvervielfachung mit einem Phasendetektor (4), an welchem ein pulsförmiges Eingangssignal (100, 200) und ein ebenfalls pulsförmiges Referenzsignal (201) anliegt, und einem nachgeschalteten spannungsgesteuerten, in einem vorgegebenen Ziehbereich einstellbaren Oszillator (5), aus dessen Ausgangssignal (501) über einen Logikbaustein (2) das Referenzsignal (201) abgeleitet wird, insbesondere nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Logikbaustein (2) ein digitales Filter (5) umfaßt, das aus dem Ausgangssignal (501) des Oszillators (5) und einem pulsförmigen Führungssignal (100) das Eingangssignal (200) sowie das Referenzsignal (201) für den Phasendetektor (5) bereitstellt, wobei das Filter derart ausgelegt ist, daß bei einem Führungssignal (100), bei dem in der Pulsfolge des Signals wenigstens ein Puls fehlt, das Eingangssignal (200) durch Einfügen des fehlenden Pulses außerhalb der unteren Ziehgrenze des Oszillators (5) in die Signalsequenz gebildet wird.

5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß das digitale Filter (6) einen ersten Zähler (10) umfaßt, welcher "modulo  $N_{\text{Ref}}$ " zählt, wobei  $N_{\text{Ref}}$  dem Faktor der Frequenzvervielfachung der PLL-Schaltung entspricht, daß das digitale Filter einen zweiten Zähler (9) umfaßt, welcher "modulo  $N_{\text{PLL}}$ " zählt, wobei  $N_{\text{PLL}}$  im Normalbetrieb  $N_{\text{Ref}}$  entspricht, jedoch bis maximal  $N_{\text{Ref}} \cdot (1+b)$  mit  $b \leq 0,25$  zählt, daß beide Zähler (9, 10) vom Ausgangssignal (501) des Oszillators (5) getaktet werden und durch einen Führungsimpuls auf Null zurücksetzbar sind, und daß das Filter bei einem eingetroffenen Führungssignal zum Setzen des zweiten Zählers (9) auf 0 und gleichzeitig zum Setzen des Eingangssignals (200) beim Zählerstand 0 sowie zum Rücksetzen beim Zählerstand  $N_{\text{PLL}}$  mit  $0 < a < 1-b$  und zum Setzen des Eingangssignals bei einem Zählerstand des zweiten Zählers (9) von  $N_{\text{PLL}} = (1+b) \cdot N_{\text{Ref}}$  ausgelegt ist, sofern zwischen  $N_{\text{PLL}} = (1-b) \cdot N_{\text{Ref}}$  und  $N_{\text{PLL}} = (1+b) \cdot N_{\text{Ref}}$  kein Führungsimpuls eingetroffen ist.

6. Schaltungsanordnung für eine PLL-Schaltung zur Frequenzvervielfachung mit einem Phasendetektor (4), an welchem ein pulsförmiges Eingangssignal (100, 200) und ein ebenfalls pulsförmiges Referenzsignal (201) anliegt und einem nachgeschalteten spannungsgesteuerten, in einem vorgegebenen Ziehbereich einstellbaren Oszillator (5), aus dessen Ausgangssignal (501) über einen Logikbaustein (2) das Referenzsignal (201) abgeleitet wird, insbesondere nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Logikbaustein (2) ein digitales Filter (6) umfaßt, das aus dem Ausgangssignal (501) des Oszillators (5) und einem pulsförmigen Führungssignal (100) das Eingangssignal (200) sowie das Referenzsignal (201) für den Phasendetektor (4) bereitstellt, wobei das Filter (6) derart ausgelegt ist, daß bei einem Wiedereinsetzen des Führungssignals (1) nach einer Störung in Abhängigkeit vom Zustand des Phasendetektors (4) in das Eingangssignal (200) oder das Referenzsignal (201) zum Ausgleich des Phasendetektors (4) ein zusätzlicher Ausgleichsimpuls eingefügt wird.

7. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, daß zur Feststellung des Zustandes des Phasendetektors (4) ("ausgeglichen", "Frequenz erhöhen", "Frequenz erniedrigen") der Phasendetektor

(4) im digitalen Filter nachgebildet (13) ist.

8. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, daß zur Nachführung des nachgebildeten Phasendetektors (13) im Filter (6) vom Phasendetektor (4) ein binäres Zustandssignal (402) ("ausgeglichen", z. B. logisch "1" und "Frequenz erhöhen oder erniedrigen", z. B. logisch "0") dem Filter (6) zugeführt ist.

9. Schaltungsanordnung nach Anspruch 8, dadurch gekennzeichnet, daß das digitale Filter (6) einen ersten Zähler (10) umfaßt, welcher "modulo  $N_{\text{Ref}}$ " zählt, wobei  $N_{\text{Ref}}$  dem Faktor der Frequenzvervielfachung der PLL-Schaltung entspricht, daß das digitale Filter einen zweiten Zähler (9) umfaßt, welcher "modulo  $N_{\text{PLL}}$ " zählt, wobei  $N_{\text{PLL}}$  im Normalbetrieb  $N_{\text{Ref}}$  entspricht, jedoch bis maximal  $N_{\text{Ref}} \cdot (1+b)$  mit  $b \leq 0,25$  zählt, daß beide Zähler (9, 10) vom Ausgangssignal (501) des Oszillators (5) getaktet werden und durch einen Führungsimpuls auf Null zurücksetzbar sind, und daß das Filter bei einem eingetroffenen Führungssignal zum Setzen des zweiten Zählers (9) auf 0 und gleichzeitig zum Setzen des Eingangssignals (200) beim Zählerstand 0 sowie zum Rücksetzen beim Zählerstand  $N_{\text{PLL}} = a \cdot N_{\text{Ref}}$  mit  $0 < a < 1-b$  und zur Nachführung des nachgebildeten Phasendetektors (13) bei einem Zählerstand des zweiten Zählers (9) von X mit  $0 < X < a \cdot N_{\text{Ref}}$  ausgelegt ist, sofern das binäre Zustandssignal (402) einen ausgeglichenen Zustand des Phasendetektors anzeigt und das Referenzsignal (201) gesetzt ist.

---

Hierzu 7 Seite(n) Zeichnungen

---

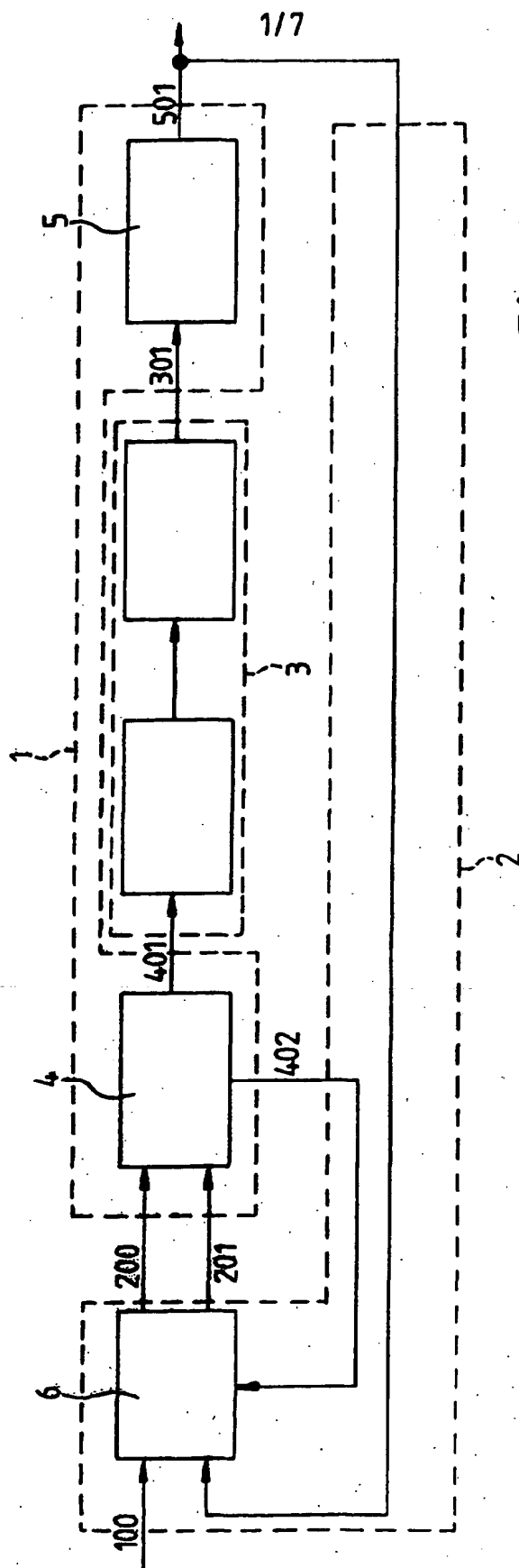


Fig. 1



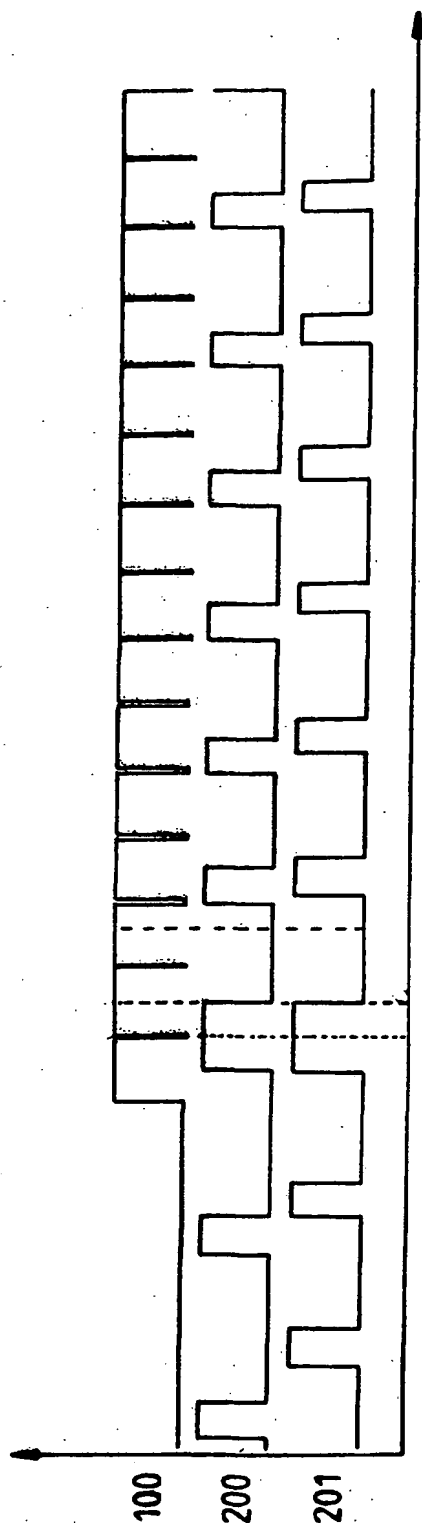


Fig. 2

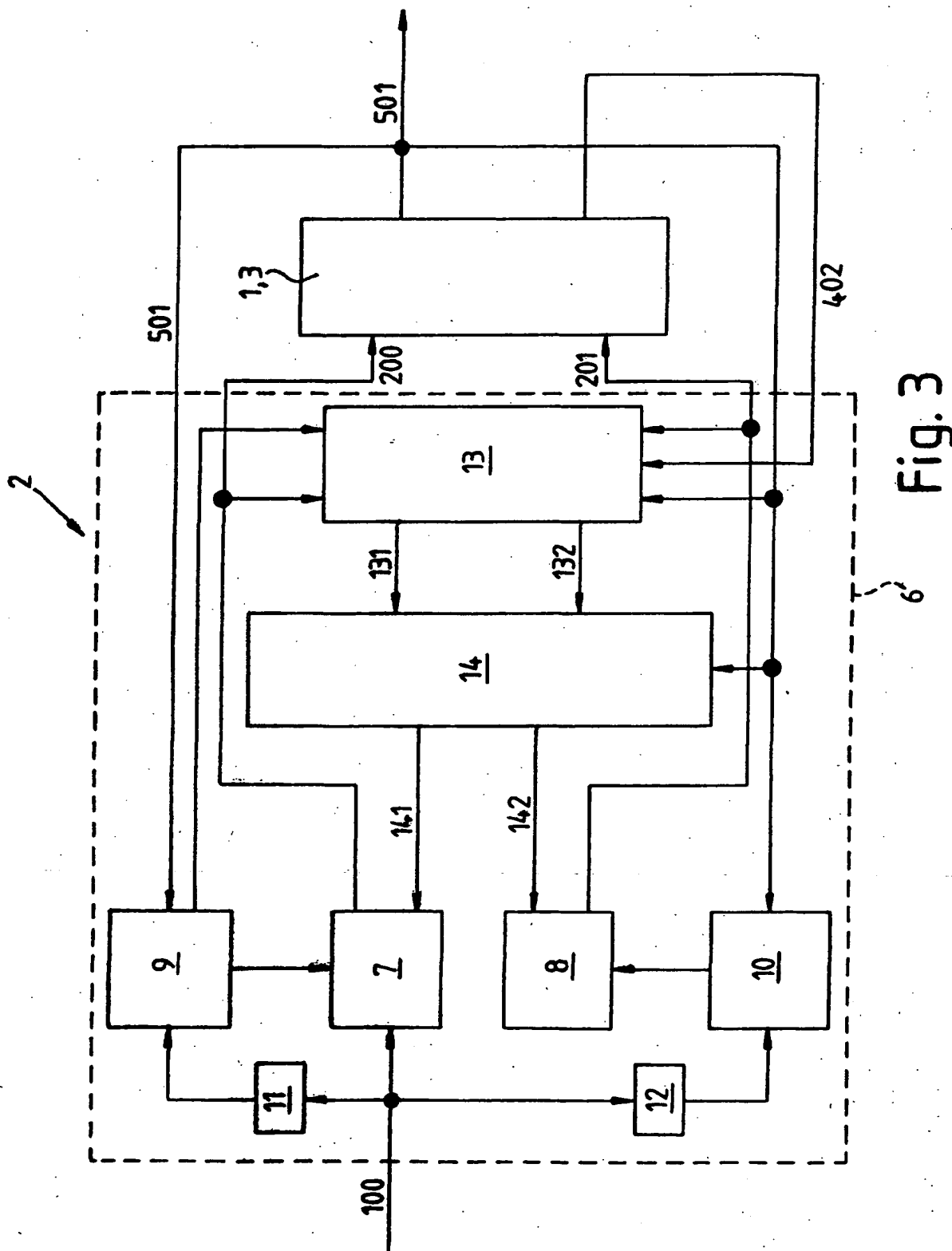


Fig. 3

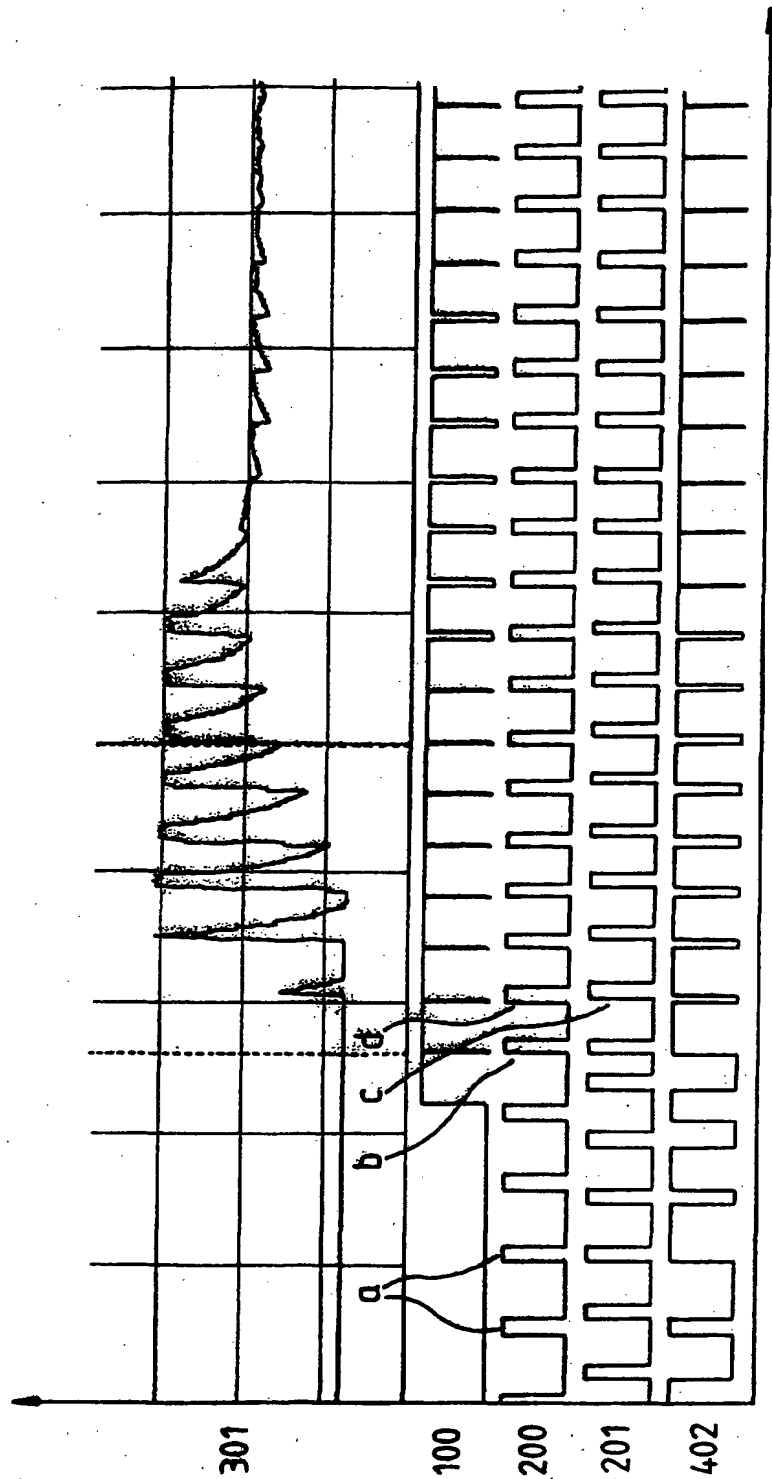


Fig. 4

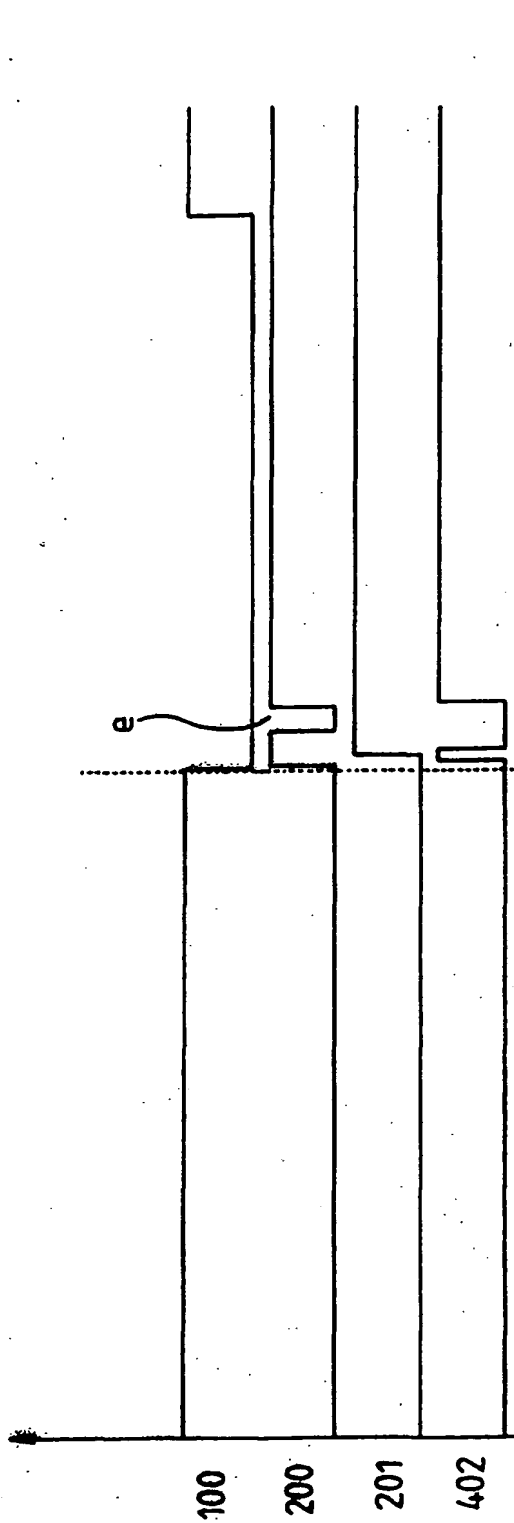


Fig. 5

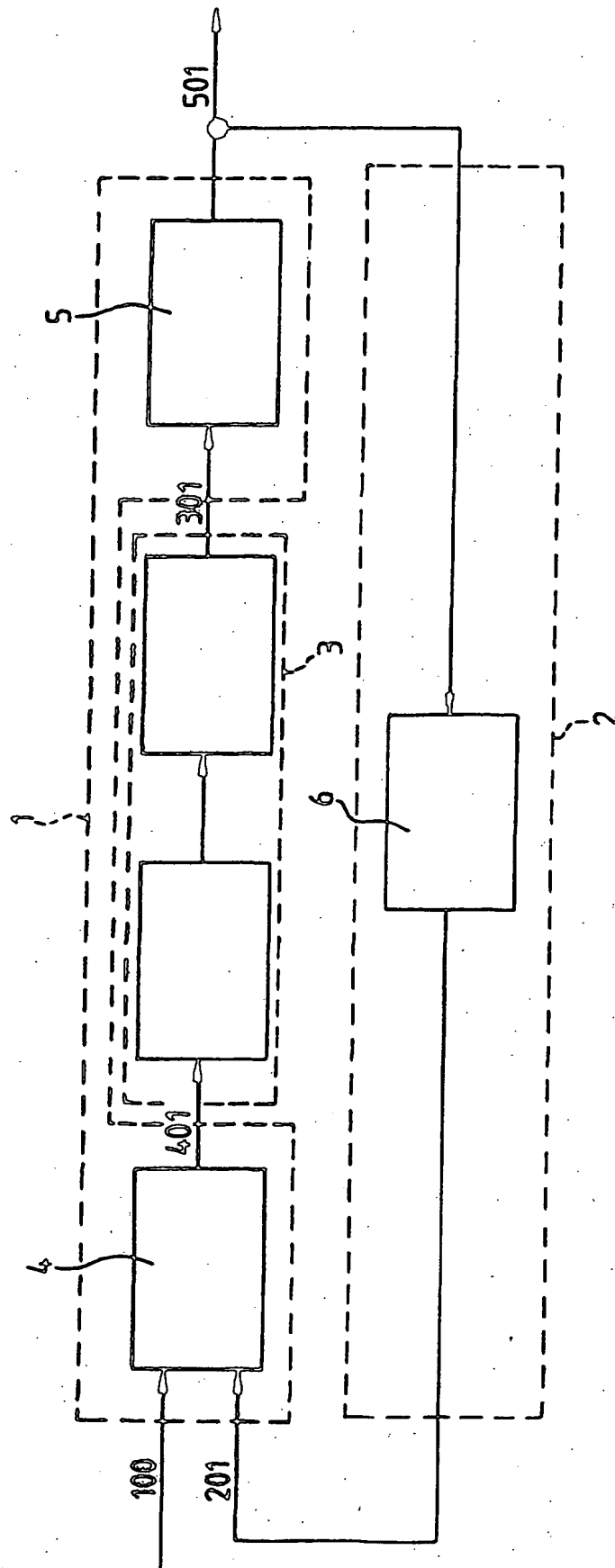


Fig. 6

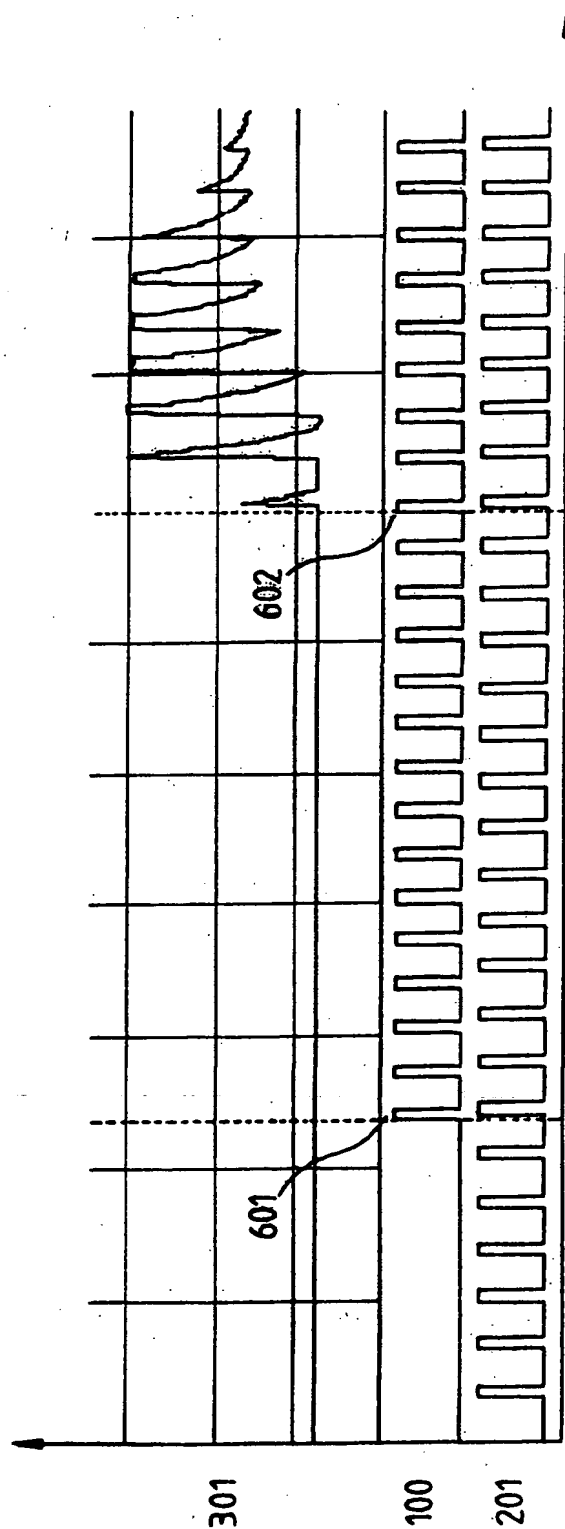


Fig. 7